

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-166815  
 (43)Date of publication of application : 18.07.1991

(51)Int.CI. H03K 5/04  
 H03K 5/08

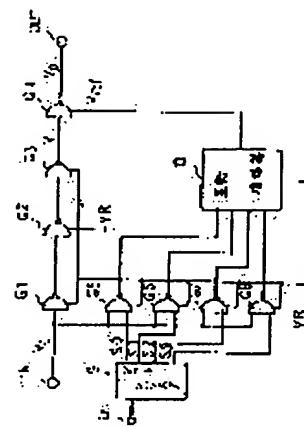
(21)Application number : 01-305890 (71)Applicant : NEC CORP  
 (22)Date of filing : 25.11.1989 (72)Inventor : KATO AKIRA

## (54) PULSE WIDTH ADJUSTING CIRCUIT

### (57)Abstract:

**PURPOSE:** To easily adjust a pulse width with high accuracy by generating a pulsating reference voltage which varies in one level according to the logical combination of an input pulse and a pulse width adjusting signal and shaping the waveform of an input signal.

**CONSTITUTION:** The input pulse  $V_i$  with the positive polarity which is inputted to an input terminal IN is passed through buffer gates G1 ~ G3, and the delayed input pulse is inputted to a buffer gate G4. When the input pulse  $V_i$  is at L, two-input NAND gates G5 ~ G8 hold the inverse of L or H according to H or L of pulse-width adjusting signals S0 ~ S3 from a shift register S, and L is obtained during the period the input pulse  $V_i$  exists. The TR in an amplifier D is energized or not energized according to the output of the gates G5 ~ G8. When the pulse-adjusting signals S0 ~ S3 in a shift register S are all H, the reference voltage of the amplifier D has a constant value  $-V_R$ . The input signal to the gate G4 has its waveform shaped with the reference voltage  $V_{ref}$  and is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報 (A) 平3-166815

⑬ Int. Cl.

H 03 K 5/04  
5/08

識別記号

庁内整理番号

W

8321-5 J  
8321-5 J

⑭ 公開 平成3年(1991)7月18日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 パルス幅調整回路

⑯ 特 願 平1-305890

⑰ 出 願 平1(1989)11月25日

⑱ 発明者 加藤 晃 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号  
 ⑳ 代理人 弁理士 櫻井 俊彦

## 明細書

路。

## 1. 発明の名称

パルス幅調整回路

## 2. 特許請求の範囲

パルス幅調整対象の入力パルスを共通の入力として一方の入力端子に受けると共に他方の入力端子には  $n$  個 ( $n$  は 2 以上の整数) のパルス幅調整信号の一つを受ける  $n$  個の論理ゲートと、

これら論理ゲートの出力の一つを入力端子の一つを介してベース端子に受ける  $n$  個のトランジスタを備え、これら  $n$  個のトランジスタのうち前記入力パルスによって導通状態が変化するものの個数に応じて変化する第1のレベルと前記入力パルスの振幅の絶対値に満たない所定の第2のレベルとの間を遷移するパルスを出力する多入力差動増幅器と、

この多入力差動増幅器から出力されるパルスを参照電圧として前記入力パルスを整形するゲート回路とを備えたことを特徴とするパルス幅調整回

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は、ディジタル回路内に設置されるパルス幅調整回路に関するものである。

## (従来の技術)

演算回路などのディジタル回路では、種々のパルス幅のタイミング信号が必要になる。従来、この種タイミング信号のパルス幅の調整は、継列接続されたゲート段数の変更などによる遅延時間の調整によって行っている。

## (発明が解決しようとする課題)

上記従来のパルス幅調整回路では、ゲート段数を変更するには印刷配線の変更が必要になる。このため、設計変更が困難になると共に、外部端子数が多くなり高集積化の達成が困難になるという問題がある。

## (課題を解決するための手段)

本発明のパルス幅調整回路は、調整対象の入力パルスを共通の入力として一方の入力端子に受け

ると共に他方の入力端子には  $n$  個 ( $n$  は 2 以上の整数) のパルス幅調整信号の一つを受ける  $n$  個の論理ゲートと、これら論理ゲートの出力の一つを入力端子の一つを介してベース端子に受ける  $n$  個のトランジスタを備えこれら  $n$  個のトランジスタのうち上記入力パルスによって導通状態が変化するものの個数に応じて変化する第 1 のレベルと上記入力パルスの振幅の絶対値に満たない所定の第 2 のレベルとの間を遷移するパルスを出力する多入力差動増幅器と、この多入力差動増幅器の出力を参照電圧として上記入力パルスを整形するゲート回路とを備え、論理ゲートに供給する個別のパルス幅調整信号の変更により容易かつ高精度のパルス幅の調整を実現するように構成されている。

以下、本発明の作用を実施例と共に詳細に説明する。

#### (実施例)

第 1 図は、本発明の一実施例のパルス幅調整回路の構成を示すブロック図であり、IN はパルス幅調整対象の入力パルス V<sub>I</sub> の入力端子、I<sub>n</sub> は

パルス幅調整信号の入力端子、G<sub>1</sub>, G<sub>2</sub>, G<sub>3</sub> は遅延用のバッファゲート、G<sub>4</sub> は波形整形用のバッファゲート、G<sub>5</sub>, G<sub>6</sub>, G<sub>7</sub> は負論理の 2 入力 NAND ゲート、D は多入力差動増幅器、S は入力端子 I<sub>n</sub> から供給されるパルス幅調整信号 S<sub>0</sub> ~ S<sub>3</sub> を直列 / 並列変換しつつ保持するシフトレジスタ、OUT はパルス幅調整済みの出力パルス V<sub>O</sub> の出力端子である。

第 1 図のバッファゲート G<sub>1</sub> ~ G<sub>4</sub> は、第 2 図に示すように、信号入力端子 I<sub>1</sub>、参照電圧の入力端子 I<sub>2</sub>、トランジスタ対 q<sub>1</sub>, q<sub>2</sub>、定電流回路 C<sub>1</sub>、抵抗器 r<sub>1</sub> 及び信号出力端子 O から構成されている。遅延用のバッファゲート G<sub>1</sub> と G<sub>3</sub> については入力パルス V<sub>I</sub> の振幅の半分のレベルの電圧 V<sub>R</sub> が参照電圧として入力端子 I<sub>2</sub> に供給され、遅延用のバッファゲート G<sub>2</sub> については -V<sub>R</sub> が参照電圧として入力端子 I<sub>2</sub> に供給される。さらに、波形調整用のバッファゲート G<sub>4</sub> について、多入力差動増幅器 D で作成された電圧 V<sub>ref</sub> が参照電圧として入力端子 I<sub>2</sub> に供給される。

第 1 図の 2 入力 NAND ゲート G<sub>5</sub> ~ G<sub>8</sub> は、第 3 図に示すように、信号入力端子 I<sub>1</sub>, I<sub>2</sub>、参照電圧の入力端子 I<sub>3</sub>、エミッタが共通接続されたトランジスタ q<sub>3</sub>, q<sub>4</sub>, q<sub>5</sub>、定電流回路 C<sub>2</sub>、抵抗器 r<sub>2</sub> 及び信号出力端子 O から構成されている。2 入力 NAND ゲート G<sub>5</sub> ~ G<sub>8</sub> のそれぞれにおいて、入力パルス V<sub>I</sub> が共通の入力信号として一方の信号入力端子 I<sub>1</sub> に供給されると共に、シフトレジスタ S に保持中のパルス幅調整信号 S<sub>0</sub> ~ S<sub>3</sub> の一つが個別の信号として他方の信号入力端子 I<sub>2</sub> に供給される。

第 1 図の多入力差動増幅器 D は、第 4 図に示すように、前段の 2 入力 NAND ゲート G<sub>5</sub> ~ G<sub>8</sub> の出力の一つを受ける 4 個の入力端子 I<sub>1</sub> ~ I<sub>4</sub>、参照電圧 V<sub>R</sub> を受ける入力端子 I<sub>5</sub>、エミッタが共通接続された 5 個のトランジスタ Q<sub>1</sub> ~ Q<sub>5</sub>、定電流回路 C<sub>3</sub>、抵抗器 R<sub>1</sub> ~ R<sub>5</sub> 及び参照電圧 V<sub>ref</sub> の出力端子 O を備えている。入力端子 I<sub>1</sub> ~ I<sub>4</sub> に出現する入力信号はトランジスタ Q<sub>1</sub> ~ Q<sub>4</sub> のベース端子に供給され、入力端子 I<sub>5</sub> に出

現する参照電圧 V<sub>R</sub> はトランジスタ Q<sub>5</sub> の入力端子に供給される。

第 1 図の入力端子 IN に出現する正極性の入力パルス V<sub>I</sub> は、所定の遅延を受けつつバッファゲート G<sub>1</sub> ~ G<sub>3</sub> を順次通過し、遅延済みの入力パルス V<sub>I'</sub> として波形整形用のバッファゲート G<sub>4</sub> の信号入力端子に供給される。負論理の 2 入力 NAND ゲート G<sub>5</sub> ~ G<sub>8</sub> は、一方の入力端子に上記正極性の入力パルス V<sub>I</sub> を受けると共に、他方の入力端子にシフトレジスタ S に保持中のパルス幅調整信号 S<sub>0</sub> ~ S<sub>4</sub> を受けることにより、2 入力が共にローの時のハイ信号を出力する。すなわち、2 入力 NAND ゲート G<sub>5</sub> ~ G<sub>8</sub> の出力は、入力パルス V<sub>I</sub> の非出現期間内 (V<sub>I</sub> がローの期間内) はパルス幅調整信号 S<sub>0</sub> ~ S<sub>3</sub> のハイ又はローに応じてその反転状態ロー又はハイを保持すると共に、入力パルス V<sub>I</sub> の出現期間内 (V<sub>I</sub> がハイの期間内) はパルス幅調整信号 S<sub>0</sub> ~ S<sub>3</sub> のハイ又はローの状態に無関係にローとなる。

差動増幅器 D 内の 4 個のトランジスタ Q<sub>1</sub> ~ Q<sub>4</sub>

4は、上記2入力 NAND ゲート G 5～G 8 の出力のハイ又はロー状態に応じて導通又は非導通の状態に移行する。上述のように、入力パルス V i の出現期間中はパルス幅調整信号 S 0～S 3 のハイ又はロー状態に無関係に2入力 NAND ゲート G 5～G 8 の出力が全て無条件にロー状態になるためトランジスタ Q 1～Q 4 は全て非導通状態となり、ベース端子に参照電圧 V ref を受けるトランジスタ Q 5 のみが導通状態に移行する。この状態で出力端子 O に出現する参照電圧 V ref は、抵抗器 R 5 の抵抗値 r<sub>o</sub> と定電流回路 C 3 を流れる電流値 I の積に等しい大きさ r<sub>o</sub> × I と負の極性とを有するものとなる。第5図の波形に例示するように、上記 r<sub>o</sub> × I の値が入力パルスの振幅の半分の値 V<sub>R</sub> となるように、上記抵抗値 r<sub>o</sub> と電流値 I が調整されている。また、抵抗器 R 1, R 2, R 3, R 4 の抵抗値は全て等しい値 r<sub>o</sub> に設定されている。

シフトレジスタ S に保持中のパルス幅調整信号 S 0～S 3 が全てハイであれば、全ての2入力ナ

ンドゲート G 5～G 8 の出力が入力パルス V i の出現の有無に無関係に常にロー状態を保つ。この場合、トランジスタ Q 1～Q 4 は入力パルス V i の出現の有無にかかわらず常に非導通状態を保持し、参照電圧 V ref は第5図の実線で例示するような一定値 - V<sub>R</sub> に保たれる。また、パルス幅調整信号 S 0 がローで S 1～S 3 がハイであれば、パルス電圧 V i の非出現期間中は NAND ゲート G 5 の出力のみがハイとなり、トランジスタ Q 1 のみが導通状態を保つ。この状態における参照電圧 V ref のレベルは、 - (r<sub>o</sub> + r<sub>1</sub>) × I となり第5図の点線で例示するような最も低いレベルとなる。さらに、パルス幅調整信号 S 0 と S 1 がローで S 2 と S 3 がハイであれば、パルス電圧 V i の非出現期間中は NAND ゲート G 5 と G 6 の出力のみがハイとなり、トランジスタ Q 1 に加えてトランジスタ Q 2 も導通状態を保つ。この状態における参照電圧 V ref のレベルは、 - (r<sub>o</sub> + r<sub>1</sub> / 2) × I となり第5図の一点鎖で例示するような多少高いレベルとなる。

同様に、パルス調整信号 S 2 もローであれば、パルス電圧 V i の非出現期間中はトランジスタ Q 1 と Q 2 に加えてトランジスタ Q 3 も導通状態を保ち、参照電圧 V ref のレベルは、 - (r<sub>o</sub> + r<sub>1</sub> / 3) × I となる。さらに、パルス調整信号 S 3 もローであれば、パルス電圧 V i の非出現期間中はトランジスタ Q 1 乃至 Q 4 の全てが導通状態を保ち、参照電圧 V ref のレベルは、 - (r<sub>o</sub> + r<sub>1</sub> / 4) × I となる。

このように、入力パルス V i の非出現期間中の参照電圧 V ref のレベルは、4個のトランジスタ Q 1～Q 4 のうち入力パルス V i の非出現期間内に導通状態を保つものの個数に依存する。

第6図は、上記参照電圧 V ref のもとに動作する波形整形用のバッファゲート G 4 の動作を説明するための波形図である。

第6図の最上段に例示する入力パルス V i が遅延用のゲート G 1, G 2 及び G 3 を通過することにより振幅の反転と遅延を受けつつ次段に示す入力パルス V i' となってバッファゲート G 4 の

信号入力端子（第2図の入力端子 I 1）に供給され、参照電圧 V ref のもとで波形整形される。前述のように、参照電圧 V ref のレベルは入力パルス V i の出現期間内は - V<sub>R</sub> に保たれると共に、入力パルス V i の非出現期間内のレベルはパルス幅調整信号 S 0～S 4 の組合せに応じて実線、一点鎖線あるいは点線で例示するような種々の値をとる。この結果、バッファゲート G 4 から出力される出力パルス V o は、最下段の実線、一点鎖線、あるいは点線の波形で例示するように、パルス幅が調整されたものとなる。

第6図の例では、入力パルス V i を基準として入力パルス V i' の遅延量が参照電圧 V ref のそれよりも大きな値に設定されているため、入力パルス V i' の立上りエッジでのみパルス幅の調整が行われる。これとは逆に、入力パルス V i' の遅延量を参照電圧 V ref のそれよりも小さな値に設定すれば、入力パルス V i' の立下りエッジでのみパルス幅の調整が行われる。このように、パルス幅の調整が立上り又は立下りの片側のエッジ

でのみ行われるため、スキューレの増大が有効に防止される。

以上、パルス幅調整信号の保持手段としてシフトレジスタを使用する構成を例示した。しかしながら、このシフトレジスタに代えてクロック信号の入力端子とカウント値の並列出力端子とを有するカウンタを使用してもよい。いずれの場合にも、直列信号やクロック信号の入力用として单一の入力端子を設置すれば足りるため集積回路としてのピン数の増加を最小限に抑えることができる。

また、入力パルスを逆極性の状態で波形整形を行う構成を例示した。しかしながら、入力パルスとそのままの極性で波形整形を行う構成としてもよい。この場合、参照電圧  $V_{ref}$  の極性を入力パルスのそれに揃えればよい。

さらに、参照電圧  $V_{ref}$  発生用の多入力差動増幅器のトランジスタ  $Q_1 \sim Q_4$  が入力パルスの出現に伴い非導通状態となる場合を例示したが、逆に入力パルスの出現伴い導通状態となるように設計変更することもできる。

パルス幅の調整がその片側のエッジでのみ行われるため、スキューレの増大が有効に防止されるという利点もある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係わるパルス幅調整回路の構成を示すブロック図、第2図は第1図のバッファゲート  $G_1 \sim G_4$  の構成の詳細を例示する回路図、第3図は第1図の2入力 NAND ゲート  $G_5 \sim G_8$  の構成の詳細を例示する回路図、第4図は第1図の多入力差動増幅器 D の構成の詳細を例示する回路図、第5図は第4図の多入力差動増幅器の動作を説明するための波形図、第6図は第1図の波形整形用バッファゲート  $G_4$  の動作を説明するための波形図である。

I N . . . パルス幅調整対象の入力パルス  $V_I$  の入力端子、 $G_1 \sim G_3$  . . . 遅延用のバッファゲート、 $G_4$  . . . 波形整形用のバッファゲート、 $G_5 \sim G_8$  . . . 2入力 NAND ゲート、D . . . 多入力差動増幅器、S . . . シフトレジスタ、in . . . パルス幅調整信号の入力端子、OUT .

また、参照電圧  $V_{ref}$  の一方のレベルを入力パルスの振幅の半分の値  $V_R$  に設定する構成を例示した。しかしながら、入力パルスの幅を全体的に拡大又は縮小したり、他方のレベルの可変範囲を拡大する目的などからこの一方のレベルを入力パルスの振幅に満たない範囲で上記  $V_R$  よりも増減させることもできる。

さらに、抵抗器  $R_1 \sim R_4$  の抵抗値を全て等しい値に設定する場合を例示した。しかしながら、参照電圧  $V_{ref}$  の一方のレベルを等間隔で変化させる目的などで異なる値に設定してもよい。

#### (発明の効果)

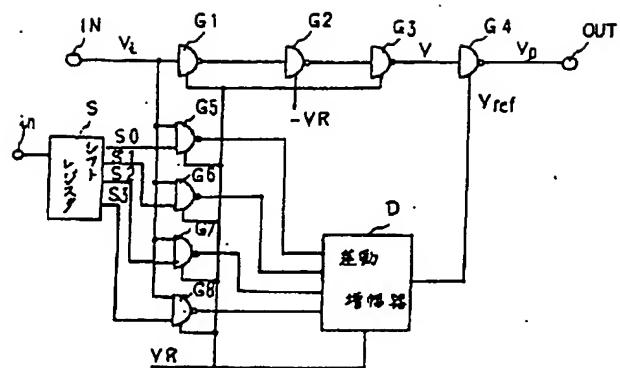
以上詳細に説明したように、本発明のパルス幅調整回路は、入力パルスとパルス幅調整信号との論理的な組合せに基づき一方のレベルが変化するパルス状の参照電圧を作成し、この参照電圧のもとで入力信号を波形整形する構成であるから、パルス幅調整信号の変更によって容易かつ高精度なパルス幅の調整が可能になる。

また、本発明のパルス幅調整回路によれば、パ

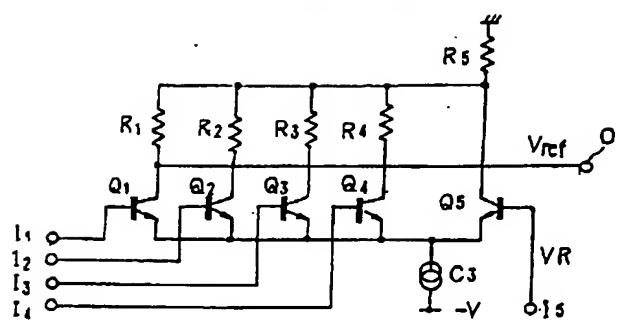
・・パルス幅調整済みの出力パルス  $V_o$  の出力端子、 $Q_1 \sim Q_2$  . . . 共通接続されたエミッタ端子と2入力 NAND ゲートの出力の一つを受けるベース端子とを有するトランジスタ、 $V_R$  . . . 入力パルスの振幅の  $1/2$  の値を有する参照電圧、 $V_{ref}$  . . . 多入力差動増幅器 D から出力される参照電圧。

特許出願人 日本電気株式会社  
代理人 弁理士 横井俊彦

第1図

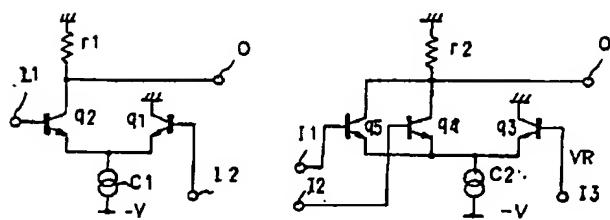


第4図



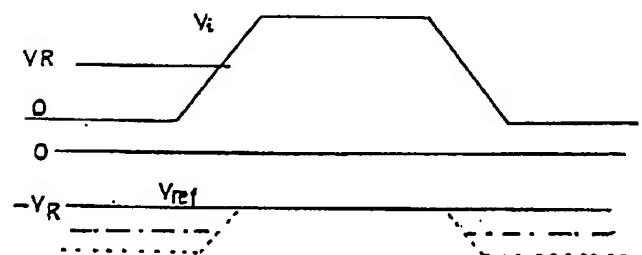
第2図

第3図



251

第5図



第6図

